**Disciplina**: Performance em Sistemas Ciberfisicos

**Professor:** Guilherme Schnirmann

**Nome Estudante: Ary Felipe Farah e Silva**

**Atividade Prática / Relatório 5**

**Memória cache – Exercícios**

1. Utilizando o mapeamento associativo (2 palavras por bloco) com a política de substituição LRU resolva o seguinte exemplo (utilize o material de apoio: Exercício\_cache\_3.docx). Anote a quantidade de hits/misses

PROCESSADOR

lw r0 1 - miss

lw r2 9 - miss

sw r2 1 - hit

sw r2 13 - miss

lw r0 12 - hit

lw r1 2 - miss

sw r0 3 - hit

lw r2 2 - hit

lw r3 10 - miss

1. Agora resolva o mesmo exemplo utilizando a técnica de write-back (Dirty bit)

lw r0 1 - miss

lw r2 9 – miss

sw r2 1 - hit

sw r2 13 - miss

lw r0 12 - hit

lw r1 2 - miss

sw r0 3 - hit

lw r2 2 - hit

lw r3 10 - miss

1. Compare os resultados (número de acessos a memória principal).

O número de acessos foi o mesmo, já que nenhuma alteração foi feita em um mesmo bloco

1. Resolve o exemplo cache\_6 postado no ava utilizando o dirty bit.

lw r0 1 - miss

lw r2 0 - hit

sw r2 3 - hit

sw r2 13 - miss

lw r0 14 - hit

lw r1 2 - hit

sw r0 7 - miss

lw r2 14 - hit

lw r3 8 - miss

1. Ao final envie todos os arquivos finais de cache.